

(19)日本国特許庁 (JP)

## (12) 公表特許公報 (A)

(11)特許出願公表番号

特表平10-506755

(43)公表日 平成10年(1998)6月30日

(51)Int.Cl.  
H 01 L 29/78

識別記号

F I  
H 01 L 29/783 0 1 D  
3 0 1 X  
3 0 1 W

審査請求 未請求 予備審査請求 有 (全 24 頁)

(21)出願番号 特願平8-511865  
 (86) (22)出願日 平成7年(1995)9月25日  
 (85)翻訳文提出日 平成9年(1997)3月24日  
 (86)国際出願番号 PCT/US95/11959  
 (87)国際公開番号 WO96/10267  
 (87)国際公開日 平成8年(1996)4月4日  
 (31)優先権主張番号 313, 471  
 (32)優先日 1994年9月27日  
 (33)優先権主張国 米国(US)  
 (31)優先権主張番号 384, 168  
 (32)優先日 1995年2月6日  
 (33)優先権主張国 米国(US)

(71)出願人マイクレル, インコーポレーテッド  
 アメリカ合衆国 カリフォルニア州  
 95131 サンホゼ, フォーチュン ドライ  
 ブ 1849  
 (72)発明者シン, マイケル アール.  
 アメリカ合衆国 カリフォルニア州  
 95130 サンホゼ, ヒルトン アヴェニュ  
 ー 4386  
 (72)発明者ガーネット, マーティン イー.  
 アメリカ合衆国 カリフォルニア州  
 95032 ロス ガトス, ベルリッジ ドラ  
 イブ 110  
 (74)代理人弁理士 内原 智

最終頁に続く

(54)【発明の名称】エンハンストドリフト領域を備える高電圧横型DMOSデバイス

## (57)【要約】

特異なN型エンハンストドリフト領域(31)を含みN型シリコン(22)内に形成された横型DMOSトランジスタ構造を開示している。一つの実施例では、ポリシリコンゲート(26)のメッシュを備えるセル状トランジスタを、Nエピタキシャル層(22)内に、P本体領域(29)、P<sup>+</sup>本体コンタクト領域(28)、N<sup>+</sup>ソース(32)およびドレーン(34)領域、およびNエンハンストドリフト領域(31)を伴って形成する。Nエンハンストドリフト領域(31)はエピタキシャル層(22)よりも高濃度にドープし、ドレーン領域(34)およびゲート(26)の間に延びる。ソース領域(32)およびドレーン領域(34)の列にコンタクトを形成するように金属ストリップ(37/38)を用いる。このNエンハンストドリフト領域(31)は降伏電圧に目立った低下を生ずることなくオン抵抗を大幅に低下させる作用する。

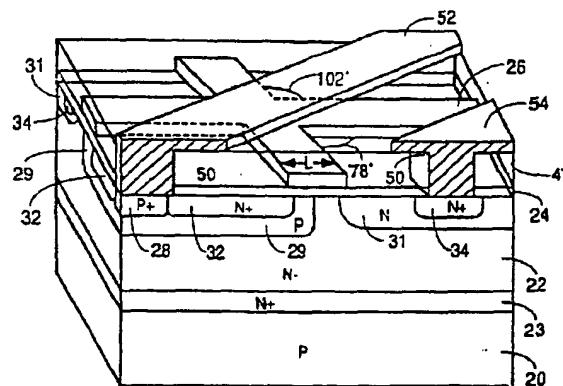


FIG. 9

## 【特許請求の範囲】

1. 模型DMOSトランジスタの構造であつて、  
第1のドーバント温度と上表面を有する第1の導電型の半導体材料と、  
前記半導体材料の前記上表面に被さり絶縁されている導電性ゲートと、  
前記第1の導電型の前記半導体材料の内部に全体が形成された第1の領域であ  
つて、その形成時に前記導電性ゲートとセルファーラインされており、前記DMOSトランジスタのエンハンストドリフト領域を形成するように前記第1の導電型を備え前記第1のドーバント温度よりも大きい第2のドーバント温度を有する第1の領域と、  
前記半導体材料の内部に形成された第2の領域であつて、前記DMOSトランジスタのドレーン領域を形成するように前記第1の導電型を備え前記第2のドーバント温度よりも大きい第3のドーバント温度を有し、前記第1の領域に接触しているとともに第1の降伏電圧の形成に必要な第1の距離だけ前記導電性ゲートから分離されている第2の領域と、  
前記半導体材料の内部に形成された第3の領域であつて、前記DMOSトランジスタの本体領域を形成するように前記第2の導電型を備え第4のドーバント温度を有し、前記導電性ゲートに被さる第1の端部を有し、前記ゲートの下の前記半導体材料の残余の部分全般を前記第1の導電型とする第3の領域と、  
前記半導体材料の内部に形成された第4の領域であつて、前記DMOSトランジスタのソース領域を形成するように前記第1の導電型を備え前記第3のドーバント温度を有し、前記第3の領域の内部に配置された第4の領域と、  
を含み、前記第1の領域が前記DMOSトランジスタのオン抵抗を前記第1の領域なしのDMOSトランジスタに比べて減少させるように作用する  
複型DMOSトランジスタの構造。
2. 前記第3の領域の内部に形成され、前記第2の導電型を備えるとともに前記第4のドーバント温度よりも大きい第5のドーバント温度を有する第5の領域と  
さらに含む請求項1記載の構造。
3. 前記第2の領域が前記第1の領域の内部に配置されている請求項1記載の構  
造。電気的に接触する材料の第2の導電性ストリップを含み、  
前記複数の実質的に互いに同一のエンハンストドリフト領域が前記DMOSトランジスタのオン抵抗を前記複数の実質的に互いに同一のエンハンストドリフト領域なしのDMOSトランジスタに比べて減少させるように作用する  
請求項1記載の構造。
10. 前記複数の前記開口の各々が長対角線と短対角線とを有する船長い菱形に近似している請求項9記載の構造。
11. 前記長対角線の前記短対角線に対する比が約1.2以上である請求項10記載の構造。
12. 前記長対角線の前記短対角線に対する比が約1.5以上である請求項10記載の構造。
13. 前記開口の各々が約45°乃至85°の範囲内の二つの内角と約135°乃至95°の範囲内の二つの内角とを有する平行四辺形である請求項10記載の構造。
14. 各々が前記本体領域の一つの内部に形成され、前記第2の導電型を有する  
とともに前記第4のドーバント温度よりも大きい第5のドーバント温度を有する  
複数の第5の領域をさらに含む  
請求項9記載の構造。
15. 前記ドレーン領域の各々が前記エンハンストドリフト領域の一つにそれぞ  
れ配置されている請求項9記載の構造。
16. 前記開口の各々が菱形に近似するように45°の倍数の内角を成して形成  
されている請求項9記載の構造。
17. 前記トランジスタが集積回路内の他の構成要素と相互接続されている請求  
項9記載の構造。
18. 前記トランジスタを個別部品として形成した請求項9記載の構造。
19. セル構造として形成したDMOSトランジスタであつて、  
第1の導電型および第1のドーバント温度を有し上表面を備える半導体材料と  
。

造。

4. 前記第1の導電型がN型である請求項1記載の構造。
5. 前記半導体材料がエピタキシャル層である請求項1記載の構造。
6. 前記半導体材料が前記第1の導電型のウェル領域である請求項1記載の構造  
。
7. 前記トランジスタが集積回路の中の他の構成要素と相互接続されている請求  
項1記載の構造。
8. 前記トランジスタが個別部品として形成されている請求項1記載の構造。
9. 前記DMOSトランジスタをセル構造として形成した請求項1記載の構造であ  
つて、

前記導電性ゲートが実質的に互いに同一の複数の開口を有するメッシュを含み  
。前記第1の領域が前記DMOSトランジスタの複数の実質的に互いに同一のエ  
ンハンストドリフト領域の一つであり、前記第2の領域が前記DMOSトランジスタの複数の実質的に互いに同一のド  
レーン領域であつて、前記ドレーン領域の各々が前記エンハンストドリフト領域  
の一つにそれぞれ接触するとともに前記導電性ゲートから前記第1の距離だけ分  
離され前記メッシュの前記開口の一つの下にそれぞれ位置し、前記第3の領域が前記DMOSトランジスタの複数の実質的に互いに同一の本  
体領域であつて、各々が前記導電性ゲートの下に位置する第1の端部を有する本  
体領域の一つであり、前記第4の領域が、前記DMOSトランジスタの複数の実質的に互いに同一の  
ソース領域であつて各々が前記本体領域の一つにそれぞれ配置されるとともに前  
記メッシュの前記開口の一つの下に位置するソース領域の一つであり、前記ソース領域の第1の列の中央部分に被さり電気的に接触する材料の第1の  
導電性ストリップであつてソース電圧への接続用の第1の導電性ストリップを含  
み、前記ソース領域の第1の列に隣接するドレーン領域の第2の列の中央部分に被  
。前記半導体材料の前記上表面に被さり絶縁されている導電性ゲートであつて、  
長対角線および短対角線を有する細長い菱形に各々が近似する複数の実質的に互  
いに同一の複数の開口を有するメッシュを形成する導電性ゲートと、前記DMOSトランジスタの実質的に互いに同一のエンハンストドリフト領域  
を形成するように前記第1の導電型を有するとともに前記第1のドーバント温度  
よりも大きい第2のドーバント温度を有する前記半導体材料の複数の第1の領域  
と、前記DMOSトランジスタの実質的に互いに同一のドレーン領域を形成するよ  
うに前記第1の導電型を有するとともに前記第2のドーバント温度よりも大きい  
第3のドーバント温度を有する前記半導体材料の複数の第2の領域であつて、各  
々が前記第1の領域の一つにそれぞれ接觸し第1の降伏電圧の形成に必要な第1  
の距離だけ前記導電性ゲートから離れており前記メッシュの前記開口の一つの下  
にそれぞれ位置する複数の第2の領域と、前記DMOSトランジスタの実質的に互いに同一の本体領域を形成するように  
第2の導電型を有するとともに第4のドーバント温度を有する前記半導体材料の  
複数の第3の領域であつて、各々が前記導電性ゲートの下に位置する第1の端部  
を有する複数の第3の領域と、前記DMOSトランジスタの実質的に互いに同一のソース領域を形成するよう  
に各々が前記第1の導電型を有するとともに前記第3のドーバント温度を有する前記半導体材料の複数の第4の領域であつて、各々が前記第3の領域の一つの内  
部にそれぞれ配置され前記メッシュの前記開口の一つの下に位置する複数の第4  
の領域と、前記ソース領域の第1の列の中央部に被さるとともに電気的に接触する材料の  
第1の導電性ストリップであつてソース電圧への接続用の第1の導電性ストリッ  
プと、前記ソース領域の前記第1の列に隣接するドレーン領域の第2の列の中央部に  
被さるとともに電気的に接触する第2の導電性ストリップと  
を含み、前記第1の領域が前記DMOSトランジスタのオン抵抗を前記第1の領域

域なしのDMOSトランジスタに比べて減少させるように作用する  
セル構造のDMOSトランジスタ。  
20. 前記ゲートの前記開口の各々が菱形に近似するように45の倍数の内角を  
成して形成されている請求項19記載のDMOSトランジスタ。

特表平10-506755

【発明の詳細な説明】

エンハンストドリフト領域を備える  
高電圧構型DMOSデバイス

関連出願の相互参照

この出願はジェイムズ・シー・モイヤー、マーティン・ジェイ・オルター、およびヘルムート・アール・リフティン名義の米国特許出願第08/155,029号、米国特許第5,355,008号「セル状MOSトランジスタアレー用の菱形ゲートメッシュ」の分割出願である米国特許出願08/313,471号、米国特許第5,447,876号の一部継続出願である。

発明の分野

この発明は構型二重拡散MOS(LDMOS)トランジスタに関し、より詳しくいうと、降伏電圧が高くオン抵抗が低い改良型LDMOSトランジスタに関する。

発明の背景

高い降伏電圧を有する低オン抵抗LDMOSトランジスタは高電圧動作で電力損失が小さいので望ましい。ドレーン領域とゲートとの間の距離を大きくすることによって降伏電圧を高めることはこの技術分野で周知である。しかし、ドレーン領域とゲートとの間の距離の増大はLDMOSトランジスタのオン抵抗を増加させて望ましくない。

図1は従来のLDMOSトランジスタの断面図であってオン抵抗増加の原因の一因を因解するものである。図1において、P基板10はその全面に形成したN-エピタキシャル層11を備える。N-エピタキシャル層11の表面には酸化物層12を形成し、その上にゲート13を形成する。N-エピタキシャル層11の裏面内にはN-ドレーン領域14およびP-本体領域15を形成する。P-本体領域15の裏面内にN-ソース領域16およびP-本体コンタクト領域17を形成する。ソースコンタクト18はN-ソース領域16およびP-本体コンタクト領域の両方に接触している。

N-ドレーン領域14とゲート13との間の距離がオン抵抗と降伏電圧との両

OSトランジスタの断面図である。

図3はこの発明のもう一つの実施例による代替的なエンハンストドリフト領域を含むLDMOSトランジスタの断面図である。

図4はこの発明のもう一つの実施例によるフィールド酸化部およびエンハンストドリフト領域を含むLDMOSトランジスタの断面図である。

図5はこの発明のもう一つの実施例によるフィールド酸化部および代替的なエンハンストドリフト領域を含むLDMOSトランジスタの断面図である。

図6はこの発明の一つの実施例による網状のゲートおよび菱形のソースおよびドレーン領域を有するセル状トランジスタである。

図7は図6の網7-7でみたトランジスタ構造の一端の断面図を含む斜視図であってエンハンストドリフト領域を示す図である。

図8は図6のものと同様のセル状トランジスタであってこの発明のもう一つの実施例によるプロペラ型のソースおよびドレーン領域を有するセル状トランジスタの上面図である。

図9は図6の網7-7でみた代替的トランジスタ構造の一端の断面図を含む斜視図であって代替的エンハンストドリフト領域を示す図である。

好適な実施例の詳細な説明

図2はこの発明によるトランジスタの一実施例の種々の領域および層を因解している。一つの実施例における出発基板は抵抗率およそ6オームセンチメートルのP型シリコン基板20である。その基板20の表面に慣用の技術を用いて厚さ約10ミクロンのN-エピタキシャル層22を成長させる。一つの実施例ではエピタキシャル層22の抵抗率は約0.8オームセンチメートルである。トランジスタは、N-エピタキシャル層に形成する代わりにP型基板20内のNウェルに形成することもできる。

代替的な実施例では、基板20はN型シリコン基板にする。その代替的実施例では、エピタキシャル層なしにトランジスタを基板内に直接に形成する。ここに記載する実施例すべてにおいて、導通型は逆にできる。

必要があれば、N-埋込み層23をN-エピタキシャル層22と基板20との間の境界面に周知の技術により形成して、寄生PNPトランジスタのペータを低減

方に直接に影響する。N-ドレーン領域14および本体領域15(またはゲート13)との間のN-エピタキシャル層11のドーピングは低濃度であるので、この層11はMOSFETがオフのときに領域14および15の間に比較的大きい空乏領域を生じさせ、これら領域14および15の間にシリコンの降伏を防止する。しかし、N-エピタキシャル層11はMOSFETがオンのときにチャンネル領域とドレーン領域14との間で高抵抗を呈する。したがって、従来のLDMOSトランジスタでは、降伏電圧を高くするとオン抵抗が大きくなる。

求められているのは高い降伏電圧を有しあかもオン抵抗の小さい新規なLDMOSトランジスタである。

概要

エンハンストドリフト領域を含むLDMOSトランジスタを示す。一つの実施例では、N-エピタキシャル層に、ポリシリコンゲート、N-ソースおよびドレーン領域、P-本体領域、P-本体コンタクト領域およびNエンハンストドリフト領域を伴うトランジスタを形成する。Nエンハンストドリフト領域はN-ドレーン領域とゲートとの間に形成される。このNエンハンストドリフト領域はトランジスタのオン抵抗を著しく低下させるが、Nエンハンストドリフト領域の不純物濃度によっては降伏電圧はごく僅かしか低下させない。

他の実施例においては、ゲートがエンハンストドリフト領域を覆うフィールド酸化部を部分的に覆っている。フィールド酸化部があるために、トランジスタのミラー容量が著しく低下し、降伏電圧がさらに高くなる。

さらに他の実施例はセルトランジスタ構成を用い、円形、八角形、方形、菱形、三角形など多様な形状の開口を備えるポリシリコンゲートメッシュを含む。そのトランジスタはN-エピタキシャル層内に、ポリシリコンゲートメッシュ、複合N-ソースおよびドレーン領域、複合P-本体領域、複合P-本体コンタクト領域および複合Nエンハンストドリフト領域を伴って形成される。ソースおよびドレン領域の別のコンタクト形成用に金属ストリップを用いる。

図面の簡単な説明

図1は従来のLDMOSトランジスタの断面図である。

図2はこの発明の一つの実施例によるエンハンストドリフト領域を含むLDM

【図3】

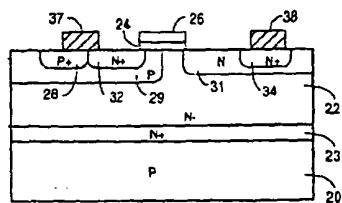


FIG. 3

【図5】

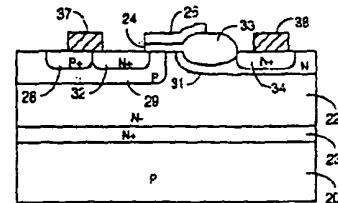


FIG. 5

【図4】

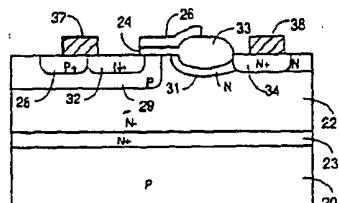


FIG. 4

【図6】

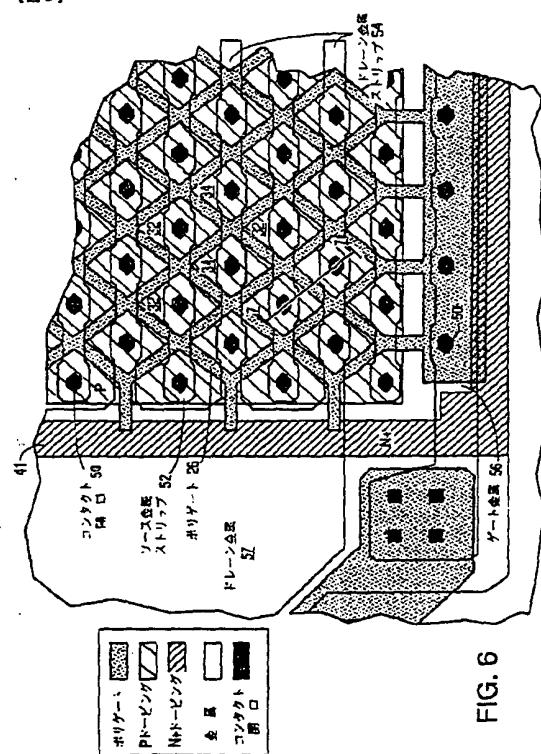


FIG. 6

【図7】

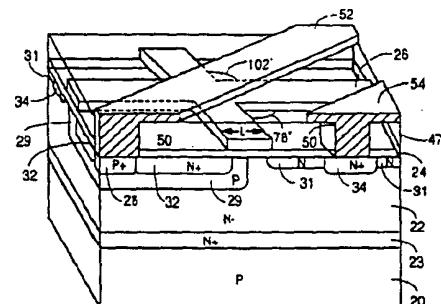


FIG. 7

【図9】

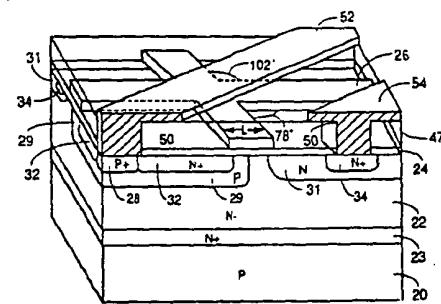


FIG. 9

【図8】

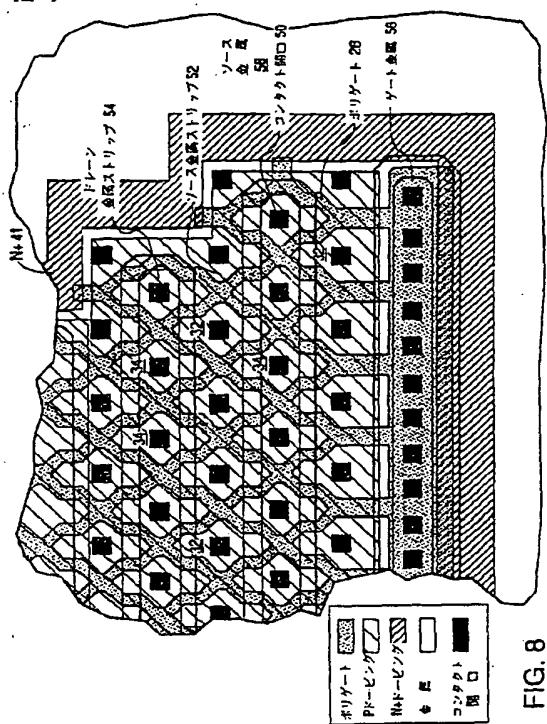


FIG. 8

## フロントページの続き

(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ, UG), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IS, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TT, UA, UG, UZ, VN

(72) 発明者 モイヤー, ジェイムズ シー  
アメリカ合衆国 カリフォルニア州  
95129 サンホゼ, ウィスティア ウェイ  
6381

(72) 発明者 オルター, マーティン ジェイ  
アメリカ合衆国 カリフォルニア州  
94022 ロス アルトス, パサ ロブレス  
アヴェニュー 225

(72) 発明者 リフティン, ヘルムート アール  
アメリカ合衆国 カリフォルニア州  
95014 クペルティーノ, ウエストリン  
ウェイ 988, ナンバー 2

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US95/11959

## A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : HOIL 29/78, 27/092, 27/105

US CL : 257/336, 401, 491, 492

According to International Patent Classification (IPC) or to both national classifications and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 257/336, 401, 491, 492

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X,P	US, A, 5,406,110 (KWON ET AL) 11 April 1995, see fig. 4.	1-9
Y		1, 10, 16, 17, 19 & 20
Y,P	US, A, 5,412,239 (WILLIAMS) 02 May 1995, see fig. 7B.	1, 10, 16, 17, 19 & 20
A	US, A, 4,922,327 (MENA ET AL) 01 May 1990, entire document.	

<input type="checkbox"/>	Further documents are listed in the continuation of Box C.	<input type="checkbox"/>	See patent family annex.
'A'	Special categories of cited documents:	'T'	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
'E'	document defining the general state of the art which is not considered to be of particular relevance	'X'	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
'L'	earlier document published on or after the international filing date which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	'Y'	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
'O'	document referring to an oral disclosure, use, exhibition or other means	'Z'	document member of the same patent family
'I'	document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search		Date of mailing of the international search report	
21 DECEMBER 1995		30 JAN 1996	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231		Authorized officer DONALD L. MONIN Telephone No. (703) 308-4895	
Facsimile No. (703) 305-3230		7/16/95	

Form PCT/ISA/210 (second sheet)(July 1992)\*